

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 4-317357 (A) (43) 9.11.1992 (19) JP

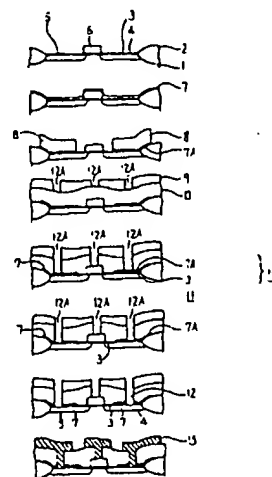
(21) Appl. No. 3-84854 (22) 17.4.1991

(71) FUJITSU LTD (72) MASAO KANAZAWA

(51) Int. Cl.<sup>7</sup> H01L21/90, H01L21/28, H01L21/302

**PURPOSE:** With regard to the manufacture of a contact hole in a shallow impurity-doped region, to form a contact hole by processing a dielectric oxide film using the anisotropic ion etching technique without damaging the surface of a silicon substrate.

**CONSTITUTION:** A contact hole 12 extended to a silicon substrate 1 is formed by processing a dielectric oxide film 10 deposited on the substrate 1 using the anisotropic ion etching technique. A stopper layer 11, which is greater than the oxide film in the etching ratio, is sandwiched between the surface of the substrate 1 and the electric oxide film 10. Holes to be used for contact holes 12 are formed, at one end thereof stopped with the stopper layer 11, on the dielectric oxide film, 10 by the anisotropic etching, and the stopper layer 11 is then removed by the isotropic etching, thereby completing the contact holes 12. Here, the stopper layer 11 is constituted of an oxide film 3 deposited on the substrate 1 and a polysilicon film 7A laid over the oxide film 3.



2: separator, 4: drain region, 5: source region, 6: gate region, 7: polysilicon film, 8,9: resist, 13: wiring, 12A: contact-hole pattern

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 4-317358 (A) (43) 9.11.1992 (19) JP

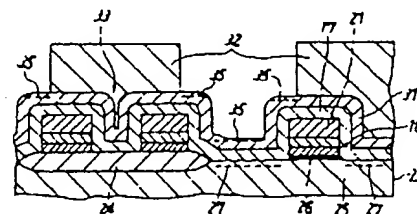
(21) Appl. No. 3-110924 (22) 16.4.1991

(71) SONY CORP (72) HIDEAKI KURODA

(51) Int. Cl.<sup>7</sup> H01L21/90, H01L21/302, H01L27/108

**PURPOSE:** To effect the self alignment of contact holes and fine patterning of an upper layer wiring at the same time.

**CONSTITUTION:** An SiO film 17 and a BPSG film 31 are deposited, in order, one over the other as an interlayer dielectric film, and fluoride ions 35 are implanted solely into the contact hole part of the BPSG film 31. This ion implantation renders the portion of the BPSG film 31, where the ions are implanted, less fluid. When the substrate is subjected to heat processing, stepped portions of the deposited film, except the part for a contact hole, are planarized. Accordingly, a contact hole can be formed in a self-aligned manner at the contact part by the reactive ion etching (RIE) over the entirety of the substrate.



## (54) PACKAGE FOR IC

(11) 4-317359 (A) (43) 9.11.1992 (19) JP

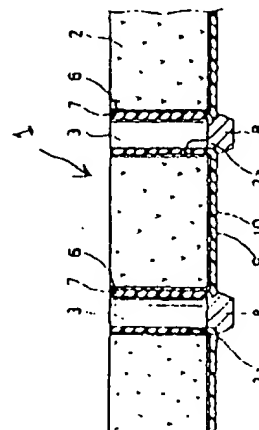
(21) Appl. No. 3-83942 (22) 16.4.1991

(71) NGK SPARK PLUG CO LTD (72) YUKIHIRO KIMURA(2)

(51) Int. Cl.<sup>7</sup> H01L23/12, H01L23/14

**PURPOSE:** To realize high density conductor columns and the reduction of crosstalk by surrounding a conductor column, in a dielectric substrate, with a metallization layer with a dielectric layer sandwiched therebetween.

**CONSTITUTION:** An IC package 1 is provided with a dielectric substrate 2 in the form of a thin laminate and a plurality of conductor columns 3 which pass through the substrate 2. The inner wall of the part of a hole 2a, through which the conductor column 3 of the substrate 2 passes, is coated with a metallization layer 6. The inner surface of this metallization layer 6 is covered with a dielectric layer 11 for electrically isolating the conductor column 3 from the metallization layer 6. With this arrangement, the conductor column 3 is completely and electrically shielded by means of the metallization layer 6 for grounding purposes, and the characteristic impedance of the conductor columns 3 can be matched, as a result reflected noises of a signal are reduced, and the IC package 1 which is superior in signal transfer characteristics is obtained. The electrical shielding of the conductor column 3 can be ensured even when the pitch of the conductor columns 3 is reduced, thereby leading to the conductor



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-317358

(43) 公開日 平成4年(1992)11月9日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90	K	7353-4M		
21/302	L	7353-4M		
27/108				
		8728-4M	H 0 1 L 27/10	3 2 5 C

審査請求 未請求 請求項の数4(全 6 頁)

(21) 出願番号 特願平3-110924

(22) 出願日 平成3年(1991)4月16日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 畠田 英明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

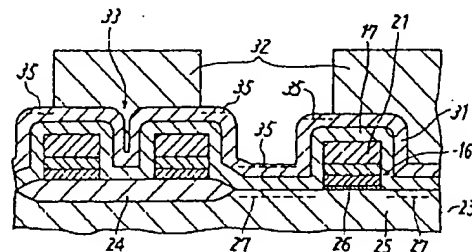
(74) 代理人 井理士 土屋 勝

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 自己整合コンタクトと上層配線の微細加工との両方を同時に可能にする。

【構成】 層間絶縁膜としてS i O<sub>2</sub>膜17とBPSG膜31とを順次に堆積させ、BPSG膜31のうちでコンタクト部の部分にのみフッ素35をイオン注入する。この結果、フッ素35をイオン注入された部分のBPSG膜31の流動性が低下し、その後に熱処理を行うと、コンタクト部以外の部分の段差部のみが平坦化される。従って、その後の全面R I Eによって、コンタクト部ではコンタクト孔を自己整合的に形成することができる。



【特許請求の範囲】

【請求項1】バタニングされた配線の上層に、少なくとも低融点ガラス膜を含む層間絶縁膜を形成する工程と、コンタクト部における前記層間絶縁膜にのみ耐熱処理を施す工程と、前記耐熱処理後の前記層間絶縁膜に熱処理を加える工程と、前記熱処理後の前記層間絶縁膜の全面をエッチバックして、前記コンタクト部で前記配線の側部にのみ前記層間絶縁膜を残す工程とを有する半導体装置の製造方法。

【請求項2】前記コンタクト部における前記低融点ガラス膜にフッ素を導入することによって前記耐熱処理を施す請求項1記載の半導体装置の製造方法。

【請求項3】前記コンタクト部における前記低融点ガラス膜上に非流動性膜を形成することによって前記耐熱処理を施す請求項1記載の半導体装置の製造方法。

【請求項4】前記コンタクト部における前記低融点ガラス膜を除去することによって前記耐熱処理を施す請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、自己整合コンタクト構造の半導体装置の製造方法に関するものである。

【0002】

【従来の技術】図16は、本発明の一従来例による製造過程にある積み上げキャパシタ型DRAMを示している。DRAMのメモリセルはトランジスタ11とキャパシタ12とで構成されており、積み上げキャパシタ型DRAMでは、トランジスタ11の一方のソース・ドレイン拡散層13aとキャパシタ12の記憶ノードである多結晶Si膜14とが、コンタクト孔15aを介してコンタクトしている。

【0003】この様なDRAMでは、トランジスタ11のゲート配線つまりワード線であるポリサイド膜16の側部にSiO<sub>2</sub>膜17から成る側壁を形成すると同時にコンタクト孔15aを自己整合的に形成するという自己整合コンタクト構造によって、メモリセル面積の縮小が図られている。

【0004】

【発明が解決しようとする課題】ところが、自己整合コンタクト構造では、ポリサイド膜16と多結晶Si膜14との間の層間耐圧を確保するために、オフセット用のSiO<sub>2</sub>膜21をポリサイド膜16上に設ける必要がある。

【0005】このため、多結晶Si膜14の下地の段差が大きく、異方性エッチングのみで多結晶Si膜14をバタニングしようすると、エッチング残りである所謂ストリング14aがポリサイド膜16間の段差部に生じ易い。この結果、このストリング14aを介して、隣接メモリセルの多結晶Si膜14同士が短絡するおそれがある。

【0006】一方、ストリング14aを除去するために多結晶Si膜14を等方性エッチングすると、レジスト22の下にアンダカット部14bが生じる。しかも、メモリセル容量を大きくするために多結晶Si膜14の膜厚を厚くするほど、アンダカット部14bは大きくなる。従って、多結晶Si膜14の膜厚を厚くしても、メモリセル容量を増加させることは難しい。

【0007】また、ポリサイド膜16間の段差部を平坦化するために、BPSSG膜等の低融点ガラス膜（図示せず）をSiO<sub>2</sub>膜17の代わりに用いてこの低融点ガラス膜をフローさせると、ソース・ドレイン拡散層13a上で低融点ガラス膜の膜厚が厚くなって、コンタクト孔15aを自己整合的に形成することができなくなる。

【0008】つまり、上述の様な一従来例では、自己整合コンタクトと上層配線の微細加工との両立が難しい。従って、この一従来例で例えばDRAMを製造しても、小さなメモリセル面積で大きなメモリセル容量を確保することが難しく、結果的に高集積化が難しい。

【0009】

【課題を解決するための手段】本発明による半導体装置の製造方法は、バタニングされた配線16の上層に、少なくとも低融点ガラス膜31を含む層間絶縁膜31、17を形成する工程と、コンタクト部における前記層間絶縁膜31、17にのみ耐熱処理を施す工程と、前記耐熱処理後の前記層間絶縁膜31、17に熱処理を加える工程と、前記熱処理後の前記層間絶縁膜31、17の全面をエッチバックして、前記コンタクト部で前記配線16の側部にのみ前記層間絶縁膜17を残す工程とを有している。

【0010】

【作用】本発明による半導体装置の製造方法では、層間絶縁膜31、17のうちコンタクト部の部分にのみ耐熱処理を施しているため、この耐熱処理後の熱処理によって、コンタクト部以外では層間絶縁膜31、17のうちの低融点ガラス膜31をフローさせ、コンタクト部の層間絶縁膜31、17はフローさせない様にすることができる。

【0011】従って、コンタクト部以外では段差部を平坦化することができると同時に、熱処理後の層間絶縁膜31、17の全面をエッチバックして、コンタクト部で配線16の側部にのみ層間絶縁膜17を残して、コンタクト孔15aを自己整合的に形成することができる。

【0012】

【実施例】以下、積み上げキャパシタ型DRAMの製造に適用した本発明の第1～第3実施例を、図1～15を参照しながら説明する。

【0013】図1～6が、第1実施例を示している。この第1実施例では、図1に示す様に、Si基板23の素子分離領域にLOCOS法によってSiO<sub>2</sub>膜24を形成し、活性領域25の表面にゲート酸化膜であるSiO<sub>2</sub>

3

、膜26を形成する。そして、CVD法によって、ポリサイド膜16とオフセット用のSIO<sub>2</sub>膜21とを順次に全面に堆積させる。なお、ポリサイド膜16の代りに単層の多結晶Si膜を用いてもよい。

【0014】その後、レジスト（図示せず）をマスクにして、SIO<sub>2</sub>膜21とポリサイド膜16とを同時にパターンニングしてワード線を形成し、このワード線とSIO<sub>2</sub>膜21とをマスクにして、ソース・ドレイン拡散層を形成するためのN型の不純物27を活性領域25にイオン注入する。

【0015】そして、CVD法によって、数千Åの膜厚のSIO<sub>2</sub>膜17と数百〜数千Åの膜厚のBPSC膜31とを順次に全面に堆積させる。なお、原料ガスを途中で変更することによって、SIO<sub>2</sub>膜17とBPSC膜31とを連続的に堆積させてもよい。また、BPSC膜31の代わりにAsSG膜等の他の低融点ガラス膜を用いてもよい。更に、SIO<sub>2</sub>膜17は必ずしも必要ではなく、BPSC膜31のみでもよい。

【0016】次に、図2及び図6に示す様に、レジスト32をパターンニングする。このパターンは、一般に、記憶ノードをコンタクトさせるソース・ドレイン拡散層13a上でレジスト32が開孔し、且つ領域33、34でレジスト32が残る様にする。

【0017】領域33、34は、ポリサイド膜16等によって段差部が形成されているのにも拘らず、記憶ノードのパターンニング時に多結晶Si膜14のエッチング残りを生じさせない様に平坦化が必要な領域である。

【0018】その後、レジスト32をマスクにして、フッ素35をBPSC膜31中に $10^{14}$  cm<sup>-3</sup>以上のドーパント量にイオン注入する。この結果、フッ素35がイオン注入された部分では、BPSC膜31の流動性が低下する。

【0019】次に、レジスト32を剥離した後、N<sub>2</sub>雰囲気中で850℃以上の温度の熱処理を加える。すると、図3に示す様に、フッ素35がイオン注入された部分を除いて、BPSC膜31がフローしてポリサイド膜16間の段差部が平坦化される。なお、活性領域25にイオン注入された不純物27も熱処理を受けて、活性領域25にソース・ドレイン拡散層13a、13bが形成される。

【0020】次に、BPSC膜31及びSIO<sub>2</sub>膜17の全面を異方的にRIEすることによって、図4に示す様に、BPSC膜31のフローによる平坦化が行われなかったソース・ドレイン拡散層13a上ではポリサイド膜16及びSIO<sub>2</sub>膜21の側部にのみSIO<sub>2</sub>膜17等から成る側壁を形成する。

【0021】従って、この時、ソース・ドレイン拡散層13aの表面が露出して、コンタクト孔15aが自己整合的に形成される。しかし、BPSC膜31のフローによる平坦化が行われた領域では、コンタクト孔15aが

4

形成された時点でも平坦なままである。

【0022】その後、PSG膜とSiN膜との2層膜である層間絶縁膜36をCVD法によって堆積させ、レジスト（図示せず）をマスクにして層間絶縁膜36のうちでコンタクト孔15a上の部分にのみコンタクト孔37を開孔すると、記憶ノード用のコンタクト孔15aのみが再び自己整合的に形成される。

【0023】なお、層間絶縁膜36を用いたのは、ソース・ドレイン拡散層13a上以外の部分の層間絶縁膜の膜厚を厚くする等のためである。従って、これらの必要がなければ、層間絶縁膜36は必ずしも必要ではない。

【0024】その後、この状態で、減圧CVD法によって多結晶Si膜14を記憶ノードとして必要な膜厚だけ堆積させ、この多結晶Si膜14にN型の不純物を高濃度にドーピングした後、多結晶Si膜14を記憶ノードのパターンに加工する。

【0025】次に、図5に示す様に、SiN膜とSIO<sub>2</sub>膜との2層膜であるキャパシタ絶縁膜41を多結晶Si膜14の表面に形成し、多結晶Si膜42の堆積とこの多結晶Si膜42への不純物のイオン注入とパターンニングとによってプレート電極を形成する。

【0026】そして、BPSC膜等である層間絶縁膜43の堆積及びフローを行い、ソース・ドレイン拡散層13bに達するビット線用のコンタクト孔15bを層間絶縁膜43等に開孔した後、ポリサイド膜44の堆積及びパターンニングによってビット線を形成する。

【0027】そして更に、BPSC膜等である層間絶縁膜45の堆積及びフローを行い、この層間絶縁膜45上にA1配線46を形成して、積み上げキャパシタ型DRAMを完成させる。

【0028】以上の様な第1実施例によれば、記憶ノード用のコンタクト孔15aの自己整合的形成を損なうことなく、領域33、34ではポリサイド膜16間の段差部がBPSC膜31によって平坦化される。

【0029】このため、多結晶Si膜14の膜厚を厚くして且つこの多結晶Si膜14を異方性エッチングのみでパターンニングしても、多結晶Si膜14のストリングを介して記憶ノード同士が短絡することがない。従って、小さなメモリセル面積で大きなメモリセル容量を確保することができ、集積度の高いDRAMを製造することができる。

【0030】図7〜11は、第2実施例を示している。この第2実施例でも、図7に示す様に、BPSC膜31の堆積までは、上述の第1実施例と実質的に同様の工程を実行する。

【0031】しかし、この第2実施例では、図8に示す様に、その後、減圧CVD法によって、多結晶Si膜とSi<sub>3</sub>N<sub>4</sub>膜との2層膜である非流動性膜47をBPSC膜31の表面に形成する。そして、記憶ノードの様にソース・ドレイン拡散層13aを覆うパターンにレジス

5

ト48を加工し、このレジスト48をマスクにして、S F<sub>6</sub>等のガスを用いたエッチングによって、非流動性膜47をパターンニングする。

【0032】次に、レジスト48を剥離した後、N<sub>2</sub>雰囲気中で800～900℃程度の温度の熱処理を加える。すると、図9に示す様に、非流動性膜47に覆われている部分を除いて、BPSG膜31がフローしてポリサイド膜16間の段差部が平坦化される。

【0033】次に、非流動性膜47、BPSG膜31及びS i O<sub>2</sub>膜17の全面を異方的にR I Eすることによって、図10に示す様に、BPSG膜31のフローによる平坦化が行われなかったソース・ドレイン拡散層13a上ではポリサイド膜16及びS i O<sub>2</sub>膜21の側部にのみS i O<sub>2</sub>膜17等から成る側壁を形成する。

【0034】従って、この時、ソース・ドレイン拡散層13aの表面が露出して、コンタクト孔15aが自己整合的に形成される。しかし、BPSG膜31のフローによる平坦化が行われた領域では、コンタクト孔15aが形成された時点でも平坦なままである。

【0035】その後は、図11に示す様に、上述の第1実施例と実質的に同様の工程を実行して、積み上げキャパシタ型DRAMを完成させる。この様な第2実施例でも、第1実施例と同様の効果を奏することができる。

【0036】図12～15は、第3実施例を示している。この第3実施例でも、図12に示す様なBPSG膜31の堆積までと、図13に示す様なレジスト32のパターンニングとは、既述の第1実施例と実質的に同様の工程を実行する。

【0037】しかし、この第3実施例では、その後、レジスト32をマスクにしてBPSG膜31のみをエッチングすることによって、ソース・ドレイン拡散層13a上のBPSG膜31は除去し、その他の平坦化すべき領域にはBPSG膜31を残す。

【0038】次に、レジスト32を剥離した後、N<sub>2</sub>雰囲気中で800～900℃程度の温度の熱処理を加える。すると、図14に示す様に、残っていたBPSG膜31がフローして、レジスト32に覆われていた領域におけるポリサイド膜16間の段差部が平坦化される。

【0039】次に、BPSG膜31及びS i O<sub>2</sub>膜17の全面を異方的にR I Eすることによって、図14に示す様に、BPSG膜31のフローによる平坦化が行われなかったソース・ドレイン拡散層13a上ではポリサイド膜16及びS i O<sub>2</sub>膜21の側部にのみS i O<sub>2</sub>膜17等から成る側壁を形成する。

6

7等から成る側壁を形成する。

【0040】従って、この時、ソース・ドレイン拡散層13aの表面が露出して、コンタクト孔15aが自己整合的に形成される。しかし、BPSG膜31のフローによる平坦化が行われた領域では、コンタクト孔15aが形成された時点でも平坦なままである。

【0041】その後は、図15に示す様に、既述の第1実施例と実質的に同様の工程を実行して、積み上げキャパシタ型DRAMを完成させる。この様な第3実施例でも、第1実施例と同様の効果を奏することができる。

【0042】

【発明の効果】本発明による半導体装置の製造方法では、コンタクト部ではコンタクト孔を自己整合的に形成することができると同時に、コンタクト部以外では段差部を平坦化することができるので、自己整合コンタクトと上層配線の微細加工との両方が同時に可能である。

【図面の簡単な説明】

【図1】本発明の第1実施例の一部を示しており、図6のA-A線に沿う部分の側断面図である。

【図2】図1に続く工程を示す側断面図である。

【図3】図2に続く工程を示す側断面図である。

【図4】図3に続く工程を示す側断面図である。

【図5】図4に続く工程を示す側断面図である。

【図6】第1実施例によって製造したDRAMの平面図である。

【図7】本発明の第2実施例の一部を示す側断面図である。

【図8】図7に続く工程を示す側断面図である。

【図9】図8に続く工程を示す側断面図である。

【図10】図9に続く工程を示す側断面図である。

【図11】図10に続く工程を示す側断面図である。

【図12】本発明の第3実施例の一部を示す側断面図である。

【図13】図12に続く工程を示す側断面図である。

【図14】図13に続く工程を示す側断面図である。

【図15】図14に続く工程を示す側断面図である。

【図16】本発明の一従来例を示す側断面図である。

【符号の説明】

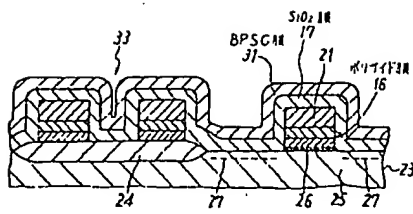
15a コンタクト孔

16 ポリサイド膜

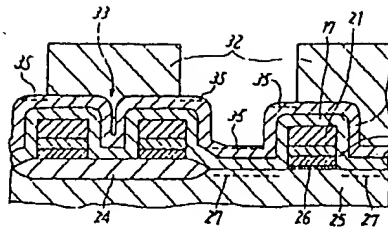
17 S i O<sub>2</sub>膜

31 BPSG膜

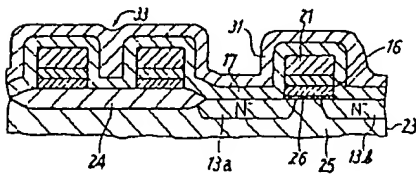
【図1】



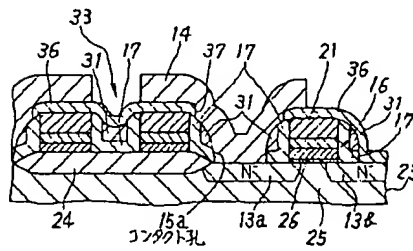
【図2】



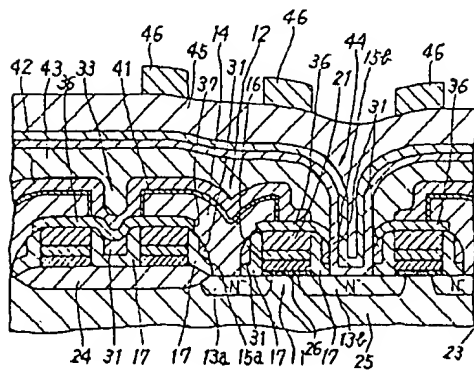
【図3】



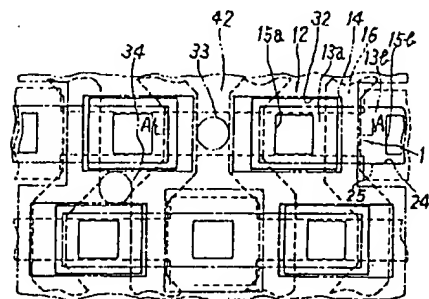
【図4】



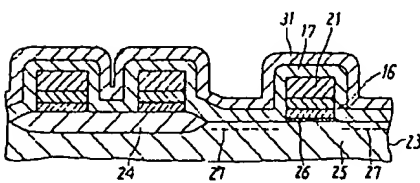
【図5】



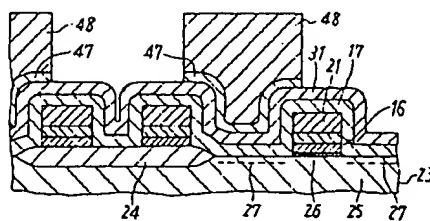
【図6】



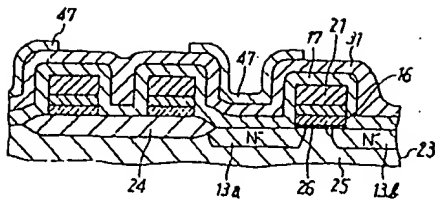
【図7】



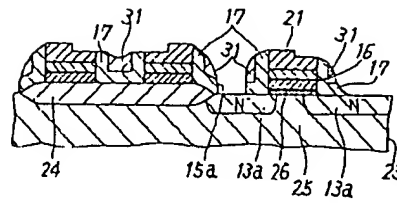
【図8】



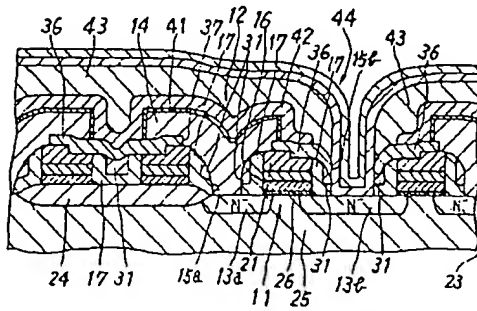
【図9】



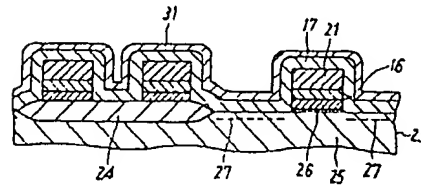
【図10】



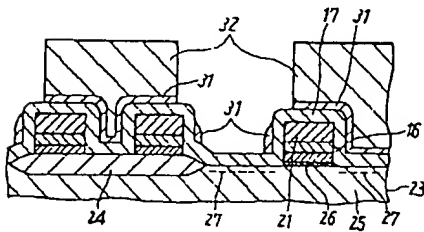
【図11】



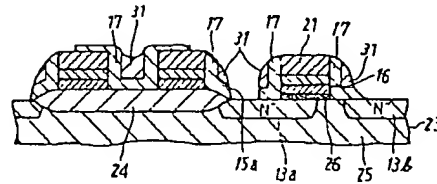
【図12】



【図13】



【図14】



【図16】

【図15】

